

Scanned 2/17/2005

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03953423 **Image available**

THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 04-318523 [JP 4318523 A]

PUBLISHED: November 10, 1992 (19921110)

INVENTOR(s): OGURA SHIGEKI

 NISHIKI TAMAHIKO

 YOSHIZAWA YOSHIYO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 03-085554 [JP 9185554]

FILED: April 17, 1991 (19910417)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G02F-001/1343; H01L-029/784;
 H01L-027/12

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1508, Vol. 17, No. 147, Pg. 119,
 March 24, 1993 (19930324)

ABSTRACT

PURPOSE: To eliminate a DC component between the drain electrode and counter electrode of a thin film transistor(TFT) type liquid crystal display and to reduce a drop in picture element electrode due to the parasitic capacity between the gate and source.

CONSTITUTION: A shield electrode is formed over the entire surface of the drain electrode 2 of the TFT except the connection part between the source electrode 4 and picture element electrode 5 across an insulating film. Then the shield electrode 7 is connected electrically to a counter electrode. Consequently, the drain electrode 2 and counter electrode are disconnected electrically by the shield electrode, so no DC component is generated between them. Further, accumulation capacity is formed between the picture

element electrode 5 and shield electrode, so the drop in picture element
electrode voltage due to the parasitic capacity between the gate and source
is reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-318523

(43) 公開日 平成4年(1992)11月10日

(51) Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
1/1343		9018-2K		
H 0 1 L 29/784				
	9056-4M		H 0 1 L 29/78	3 1 1 A
審査請求 未請求 請求項の数3(全 5 頁) 最終頁に続く				

(21) 出願番号 特願平3-85554

(22) 出願日 平成3年(1991)4月17日

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 小椋 茂樹
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 西木 玲彦
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 ▲よし▼ 佳代
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

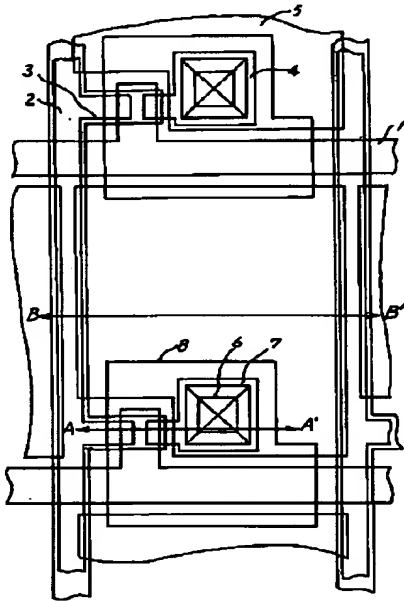
(74) 代理人 弁理士 杉山 猛 (外3名)

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置

(57) 【要約】

【目的】 薄膜トランジスタ型液晶ディスプレイにおいて、ドレイン電極-対向電極間のDC成分をなくし、かつゲート-ソース間寄生容量による画素電極電圧の降下を軽減する。

【構成】 薄膜トランジスタのドレイン電極2上には、絶縁膜を介してソース電極4と画素電極5との接続部以外の全面に遮蔽電極が形成されている。そして、遮蔽電極7は対向電極と電気的に接続されている。このように構成すると、ドレイン電極2と対向電極の間は遮蔽電極によって遮蔽されるので、その間にはDC成分が発生しない。また、画素電極5と遮蔽電極との間に蓄積容量が形成されるので、ゲート-ソース間寄生容量による画素電極電圧の降下が軽減する。



【特許請求の範囲】

【請求項1】 複数のゲート電極と、該ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、該薄膜トランジスタのソース電極に接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで該薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、前記薄膜トランジスタ基板は、(a)前記ゲート電極の上に形成された第1絶縁膜と、(b)該第1絶縁膜上で、かつ少なくとも前記ソース電極と前記画素電極との接続部以外の全面に形成された第2絶縁膜と、

(c)該第2絶縁膜上で、かつ少なくとも前記ソース電極と前記画素電極との接続部以外の全面に形成された遮蔽電極と、(d)該遮蔽電極上で、かつ少なくとも前記ソース電極と前記画素電極との接続部以外の全面に形成された第3絶縁膜と、(e)該第3絶縁膜上に形成された前記画素電極とを備え、かつ、前記遮蔽電極に入力する電圧を前記対向電極基板の対向電極に入力する電圧と同程度にすることを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項2】 遮蔽電極と薄膜トランジスタと対向する電極基板の対向電極とを電気的に接続したことをすることを特徴とする請求項1記載の薄膜トランジスタ型液晶表示装置。

【請求項3】 画素電極をドレイン電極上にオーバーラップして形成したことを特徴とする請求項1又は2記載の薄膜トランジスタ型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ型液晶表示装置、特にその薄膜トランジスタ基板の電極パターン構造に関するものである。

【0002】

【従来の技術】薄膜トランジスタ型液晶表示装置は、その表示品質の優れた点で、フラットパネルディスプレイの最有力候補とされ、各社各機関で盛んに研究開発され、既に実用化・商品化され始めている。特に最近ではサイズも大型化し、一方、高精密化も進みつつある。このような状況になってきたのも薄膜トランジスタ（以下、「TFT」という）構造に幾多の改良がなされてきた結果といえる。

【0003】今般、最も多く採用されているTFT構造は、図6に示されている逆スタガ型のボトムゲート構造のTFTである。このTFTにおいては、ゲート電極32上にゲート絶縁膜34、半導体層35、オーミック層36と続き、その上に信号電極であるソース・ドレイン電極37が設けられる。また、画素電極33の位置はソース・ドレイン電極37より下の場合もあり、上の場合もあるが、これは各社の着目する点が異なるだけで全体のTFT構造としては大きく変わらない。そして、最後

にパッシベーション膜38が設けられるという構造がごく一般的である。このようなTFT構造は、現在の主流ともいえるもので、各社各機関から数多く発表されている。

【0004】しかしながら、このようなTFT構造でもまだまだ数多くの課題を残している。第1の問題点は、ドレイン配線には常に何らかの信号が入っているので、このようなTFT構造の場合、パッシベーション膜を通して液晶層に信号が入り込んでしまうという点である。これは、ドレイン電極がゲート電極の上にあるTFT構造においては、不可避的な問題であるといえる。この問題点に対する対策は、TFT構造の改良という方向ではなく、対向基板であるカラーフィルタ基板側によって行われてきた。すなわち、カラーフィルタは画素電極上に対応していればよいので、ドレイン配線に対向する部分は、ブラックマスクとしてメタルやブラック有機薄膜によって覆ってしまい見えなくするというものであった。これは、本質的な解決ではないが、当面の手段としては大いに有効と分かり、TFT構造改良といったより困難な方法はとられずに今日に至っている。

【0005】第2の問題点は、これもTFT構造に起因するゲート・ソース間寄生容量によって生じる画素電極のゲートオフ時の電圧シフトダウンである。この結果、対向電極電位に対する画素電圧波形が非対称になり、液晶にDC成分がかかってしまう。この現象は当初、初期特性としては顕著であったので、すぐさま対策が講じられた。最も一般的な方法は、対向電極に入力する電圧をシフトダウンに対応して低めに設定し、画素電極電位に対して対称となるようなレベルにすることであった。これにより、初期特性はかなり改善されてきた。

【0006】また、この電圧シフトダウン自体を小さくする対策として、画素電極・対向電極間容量と並列に蓄積容量を形成することも考えられている。最も有力な方法は、1本隣のゲートライン上に蓄積容量をかぶせるように構成することであり、これはTFT構造の変更を要さないで行うことができたので、多く採用された。この方法の特長は、ゲートパルスは各ゲートラインに1垂直走査期間を走査線数で割った時間内しか入らないので、その時間内の画素電極電位変動は無視できるという点であった。

【0007】第3の問題点は、液晶パネルの初期特性ではなく、時間経過とともに、特性が変動していく劣化という問題点である。すなわち、液晶内にDC成分がずっとかかりっぱなしの場合、不純物イオンの電極への集積や液晶成分の分解といった現象が生じ、除々に表示品質が劣化するという点は、ドレイン電極・対向電極間、ゲート電極・対向電極間においてDC成分が発生することが不可避であるという構造的な問題に起因している。表示現象としては、焼き付き、残像等となって表れてくる。また、フリッカとなる場合もある。これらに対する

(3)

特開平4-318523

3

対策は、駆動方法、各種材料の改良によってかなり抑えられてきているが、本質的に解決されるものではない。

【0008】

【発明が解決しようとする課題】しかしながら、上記構成の薄膜トランジスタ型液晶表示装置においては、前記第1の問題点に対する対策を講じると、カラーフィルタ基板に設けたブラックマスクにより開口率が低下してしまうという問題点があった。また、前記第2の問題点に対する対策として対向電極に inputs する電圧を低めに設定する方法を採用すると、ドレイン電極と対向電極との間には常にDC成分が生じてしまうという問題点があった。

【0009】そして、前記第2の問題点に対する対策として画素電極-対向電極間容量と並列に蓄積容量を形成する方法を採用すると、蓄積容量を形成するにも画素電極とゲート電極との間に形成するくらいしか方法がないため、開口率の低下、プロセスの複雑化等を避けることができないという問題点があった。本発明は、上記従来の問題点を解決して、TFT構造そのものを改良し、表示品質の優れた、劣化のない薄膜トランジスタ型液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】前記問題点を解決するために、本発明は、複数のゲート電極と、ゲート電極と交差する複数のドレイン電極と、その交差部に設けられた薄膜トランジスタと、薄膜トランジスタのソース電極に接続された画素電極とを有する薄膜トランジスタ基板と、液晶を挟んで該薄膜トランジスタ基板と対向する対向電極基板とを備えた薄膜トランジスタ型液晶表示装置において、薄膜トランジスタ基板は、ゲート電極の上に形成された第1絶縁膜と、第1絶縁膜上で、かつ少なくともソース電極と画素電極との接続部以外の全面に形成された第2絶縁膜と、第2絶縁膜上で、かつ少なくともソース電極と画素電極との接続部以外の全面に形成された遮蔽電極と、遮蔽電極上で、かつ少なくともソース電極と画素電極との接続部以外の全面に形成された第3絶縁膜と、第3絶縁膜上に形成された画素電極とを備え、かつ、遮蔽電極に inputs する電圧が対向電極基板の対向電極に inputs する電圧と同程度になるように構成した。

【0011】

【作用】本発明によれば、以上のように薄膜トランジスタ型液晶表示装置を構成したので、ドレイン電極上の電圧信号は遮蔽電極により遮蔽され、画素電極にのらなくなる。その結果、ドレイン配線上の液晶層内にDC成分が入らなくなり、かつ液晶のオン動作がなくなる。また、遮蔽電極と画素電極との間に形成される蓄積容量がゲート電極-ソース電極間寄生容量に起因する画素電極電圧の降下を軽減させる。

【0012】

【実施例】以下、本発明の実施例について図面を参照し

4

ながら詳細に説明する。図1は本発明の実施例における薄膜トランジスタ基板の平面図である。図に示すように、ゲート電極1とドレイン電極2が交差する部分に、半導体層3をチャンネルとしたトランジスタが形成されており、ソース電極4は第1スルーホール6と第2スルーホール7を通して画素電極5と電氣的に接続されている。そして、この画素電極5は両端のドレイン電極パターン上にまでオーバーラップしている。一方、ITO等の透明電極からなる遮蔽電極は、遮蔽電極開口部8以外は全面に形成されたパターンになっており、開口部8はトランジスタ部と第1、第2スルーホール部を占めている。

【0013】図2は本発明の実施例における薄膜トランジスタ基板の一部(図1のA-A')断面図である。本実施例では、ゲート電極1の上にはゲート電極1を陽極酸化することによって形成されるゲート電極陽極酸化膜9が形成されている。ただし、ゲート電極陽極酸化膜9がなくても本発明の効力を失うものではない。そして、所定のパターンを有するゲート電極陽極酸化膜9の上に、ゲート絶縁膜として機能する第1絶縁膜11が全面に形成されている。その第1絶縁膜11の上には、半導体層3、オーミック接合層10及びドレイン電極-ソース電極が所定のパターンに形成されている。その上には、ソース電極4と画素電極5の電氣的接続をとるための第1スルーホール6部以外に全面形成された第2絶縁膜12があり、その第2絶縁膜12の上に透明電極からなる遮蔽電極13がトランジスタ部、スルーホール部以外に形成されており、その上に第1スルーホール6と同じ場所の第2スルーホール7以外全面に第3絶縁膜13が形成されている。その上に、透明電極からなる画素電極5が第1、第2スルーホール6、7を通してソース電極4と電氣的に接続がなされている形で、所定のパターンに形成されている。この図から画素電極5は、第3絶縁膜14を介して遮蔽電極13との間に蓄積容量が形成されていることが分かる。

【0014】図3は本発明の実施例における薄膜トランジスタ基板の一部(図1のB-B')断面図である。図に示すように、ドレイン電極2の上は第2絶縁膜12に、そしてその上は遮蔽電極13に覆われた形であるので、ドレイン電極上の電圧信号はこの遮蔽電極13で遮蔽される。また、画素電極5はドレイン電極上にオーバーラップして覆っているが、すぐ下に遮蔽電極13があるので、同じ理由でドレイン電極上の電圧信号がのらなくなる。したがって、このような構成にすることにより、ドレイン配線上の液晶の動作がなくなり、完全に本来の画素電極に入る信号のみを受けることになる。その結果、ドレイン配線上の液晶層内においてDC成分の生じることがなくなる。また、画素電極5はドレイン電極上にオーバーラップして覆っているため、表示装置の開口率が上がることになる。

(4)

特開平4-318523

5

【0015】図4は本発明の実施例における薄膜トランジスタ基板の電気接続系を表すブロック図である。図において、ゲート電極群15とドレイン電極群16とがトランジスタアレイを構成している。先に述べた遮蔽電極13は1枚のベタ電極である。また、カラーフィルタ基板側の対向電極17も同じ1枚のベタ電極である。ここで、遮蔽電極13に対向電極17と同程度の電圧を入力する。本実施例においては、遮蔽電極13と対向電極17とを電気的に接続してある。なお、遮蔽電極13と対向電極17の電気的接続は、どちらの1枚のベタ電極であるため、きわめて容易に行える。

【0016】図5は本発明の実施例における薄膜トランジスタ型液晶表示装置の1画素あたりの等価回路図である。図において、ゲート電極1がオンすると、ドレイン電極2上の電圧がトランジスタ21を介してソース電極4に引き込まれ、ゲート電圧がオフになると、ゲート電極-ソース電極間容量23によりソース電圧降下が起きるが、その度合いは液晶22の容量分以外に画素電極-遮蔽電極間容量24があるために、かなり軽減される。

【0017】また、ドレイン電極2は、遮蔽電極13によって覆われているので、ドレイン電極-画素電極間容量24の結合によるドレイン信号干渉も起きない。なお、本発明は上記実施例に限定されるものではなく、例えば、遮蔽電極13を第1、第2スルーホール6、7以外の全面に形成する等、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0018】

【発明の効果】以上詳細に説明したように、本発明によれば、ドレイン電極上に遮蔽電極を設け、かつその遮蔽電極と画素電極間に蓄積容量をもつ構造としたので、ドレイン電極上の電圧信号は遮蔽電極により遮蔽され、画素電極にのらなくなる。その結果、ドレイン配線上の液晶層内にDC成分が入らなくなり、かつ液晶のオン動作がなくなる。また、ゲート電極-ソース電極間寄生容量

6

による画素電極電圧の降下が軽減される。

【0019】そして、遮蔽電極が対向電極と同程度の電位に保たれるように構成することにより、ドレイン電極上の電圧信号の遮蔽機能をより高めることができる。さらに、画素電極をドレイン電極上にオーバーラップして形成することにより、開口率を高めることができる。したがって、表示品質の優れた信頼性の高い薄膜トランジスタ型液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例における薄膜トランジスタ基板の平面図である。

【図2】本発明の実施例における薄膜トランジスタ基板の一部（図1のA-A'）断面図である。

【図3】本発明の実施例における薄膜トランジスタ基板の一部（図1のB-B'）断面図である。

【図4】本発明の実施例における薄膜トランジスタ基板の電気接続系を表すブロック図である。

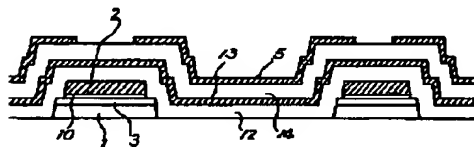
【図5】本発明の実施例による薄膜トランジスタ型液晶表示装置の1画素あたりの等価回路図である。

【図6】従来の薄膜トランジスタ基板の一部断面図である。

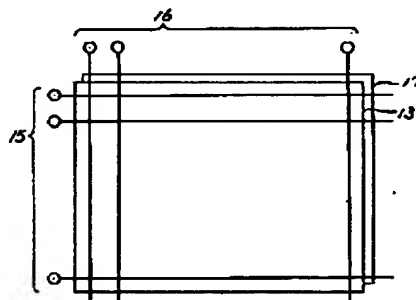
【符号の説明】

- | | |
|----|----------|
| 1 | ゲート電極 |
| 2 | ドレイン電極 |
| 3 | 半導体層 |
| 4 | ソース電極 |
| 5 | 画素電極 |
| 6 | 第1スルーホール |
| 7 | 第2スルーホール |
| 8 | 遮蔽電極開口部 |
| 11 | 第1絶縁膜 |
| 12 | 第2絶縁膜 |
| 13 | 遮蔽電極 |
| 14 | 第3絶縁膜 |
| 17 | 対向電極 |

【図3】



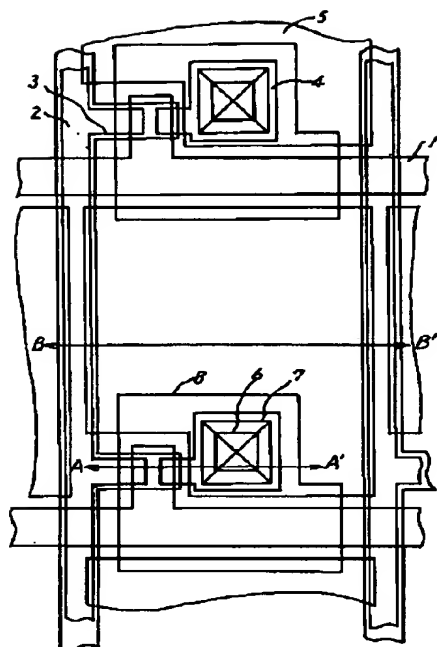
【図4】



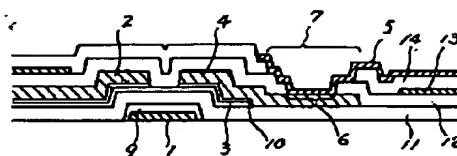
(5)

特開平4-318523

【図1】

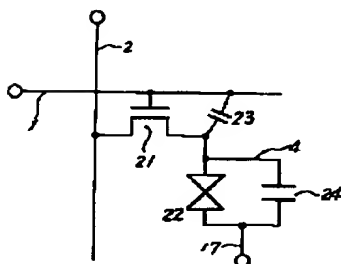


【図2】

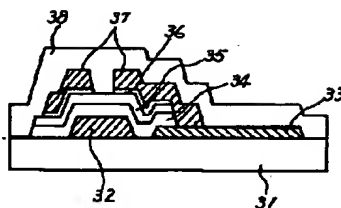


- 1: ゲート電極
- 2: ドレイン電極
- 3: 半導体層
- 4: ソース電極
- 5: 画素電極
- 6: 第1スルーホール
- 7: 第2スルーホール
- 11: 第1絶縁膜
- 12: 第2絶縁膜
- 13: 遮蔽電極
- 14: 第3絶縁膜

【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁵
// H01L 27/12

識別記号 庁内整理番号
A 8728-4M

F I

技術表示箇所